

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-242001

(43) 公開日 平成8年(1996) 9月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 6 L
			G 0 2 F 1/13	1 0 1
G 0 2 F 1/13	1 0 1			5 0 0
	1/136	5 0 0	H 0 1 L 29/78	6 2 7 F

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号 特願平7-45460

(22) 出願日 平成7年(1995) 3月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福田 加一

神奈川県横浜市磯子区新杉田町 8 株式会
社東芝横浜事業所内

(72) 発明者 茨木 伸樹

神奈川県横浜市磯子区新杉田町 8 株式会
社東芝横浜事業所内

(72) 発明者 平山 秀雄

神奈川県横浜市磯子区新杉田町 8 株式会
社東芝横浜事業所内

(74) 代理人 弁理士 樺澤 襄 (外 2 名)

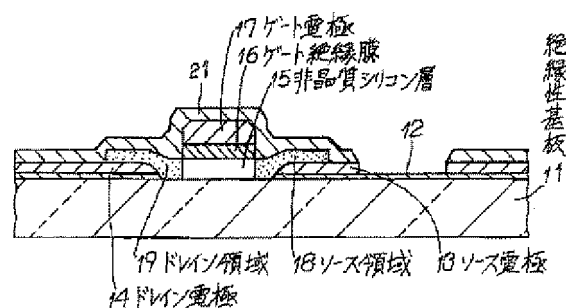
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【要約】

【目的】 特性を向上させたトップゲート型の薄膜トランジスタの製造方法を提供する。

【構成】 絶縁性基板11の一主面上にITOおよびモリブデン・タングステン (Mo-W) 合金を積層成膜し、エッチング加工してITOの画素電極12を形成し、ソース電極13およびドレイン電極14を形成する。ソース電極13およびドレイン電極14を覆うように、非晶質シリコン層15、ゲート絶縁膜16を順次形成する。アルミニウムおよびモリブデンを積層し、フォトリソグラフィによるエッチング加工でゲート電極17を形成する。レジスト剥離後、ゲート電極17をマスクとして、非晶質シリコン層15にりんをイオンドーピングする。N型多結晶シリコンをエッチング加工して、ソース領域18およびドレイン領域19を形成する。全体を保護膜21で覆い、周辺電極部と画素電極12上の保護膜を除去する。



【特許請求の範囲】

【請求項1】 非晶質シリコン層およびゲート絶縁膜の積層膜を形成する工程と、

この積層膜上に金属のゲート電極を形成する工程と、

このゲート電極をマスクとして非晶質シリコン層に不純物イオンをドーピングする工程と、

前記ゲート電極をマスクとしたレーザー照射によって非晶質シリコン層を結晶化して低抵抗多結晶シリコンからなるソース領域およびドレイン領域を形成する工程とを備えることを特徴とする薄膜トランジスタの製造方法。

【請求項2】 絶縁性基板上にソース電極およびドレイン電極を形成する工程と、

これらソース電極およびドレイン電極を覆うように非晶質シリコン層およびゲート絶縁膜の積層膜を形成する工程と、

この積層膜上に金属のゲート電極を形成する工程と、

このゲート電極と同一パターンに前記ゲート絶縁膜をエッチング加工する工程と、

前記ゲート電極をマスクとした前記非晶質シリコン層に不純物イオンをドーピングする工程と、

前記ゲート電極をマスクとしたレーザー照射によって非晶質シリコン層を結晶化して低抵抗多結晶シリコンからなるソース領域およびドレイン領域を形成する工程とを備え、

前記ソース電極とドレイン電極との間隔は、ゲート電極の幅よりも広いことを特徴とする薄膜トランジスタの製造方法。

【請求項3】 ソース電極およびドレイン電極は、透明導電膜および金属膜の積層であることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項4】 ソース電極およびドレイン電極を形成する金属膜は、

W、Ti、Mo、Ta、Cr、Nb、Ag、または、これらを用いた合金であることを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】 不純物イオンのドーピングは、PH₃を主成分とする原料ガスを用いた非質量分離のイオンドーピングであることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項6】 ゲート電極は、Al、Alを主成分とする合金、または、それらと他の金属との積層であることを特徴とする請求項2記載の薄膜トランジスタの製造方法。

【請求項7】 絶縁性基板は透明で、この絶縁性基板上に絶縁性の光遮蔽膜を形成する工程と、

前記光遮蔽膜をエッチング加工する工程と、

この光遮蔽膜を覆うように全面に透明絶縁膜を形成する工程と、

この透明絶縁膜を形成する工程の後に行なう請求項2記載の工程とを備えることを特徴とする薄膜トランジスタの

製造方法。

【請求項8】 光遮蔽膜は、抵抗率は1E8Ωcm以上、かつ、光学濃度は2.5以上であることを特徴とする請求項7記載の薄膜トランジスタの製造方法。

【請求項9】 透明絶縁膜は、有機シラン、および、O₂またはN₂Oを原料ガスに用いてプラズマCVD法によって形成した酸化シリコン膜、もしくは、前記原料ガスにN₂またはNH₃を添加してプラズマCVD法によって形成した酸化シリコン膜であることを特徴とする請求項7記載の薄膜トランジスタの製造方法。

【請求項10】 透明絶縁膜の最上層で非晶質シリコン層と接する部分は、プラズマCVD法によって形成した窒化シリコンであることを特徴とする請求項7記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、特性を改善した薄膜トランジスタ(TFT)の製造方法に関する。

【0002】

【従来の技術】 液晶を用いた表示素子としては、テレビ表示やグラフィックディスプレイなどを指向した大容量、高密度化の点から、たとえばラビングによる配向処理がそれぞれ施された2枚の基板を、配向方向が互いに90°をなすように平行に対向配置し、これら平行配置した基板間に、ネマチックタイプの液晶組成物を挟持させた構成の、いわゆるツイステッドネマチック(TN)型の、アクティブマトリクス型液晶表示装置が注目されている。

【0003】 このアクティブマトリクス型液晶表示装置では、クロストークのない高コントラスト表示が行ない得るように、各画素の駆動および制御を半導体スイッチで行なう方式が採られている。そして、この半導体スイッチとしては透過型の表示が可能であり、また大面積化も容易であるなどの理由から、透明絶縁基板上に形成、配置した非晶質シリコン(a-Si)系の薄膜トランジスタ(TFT)が用いられている。さらに、この非晶質シリコン系の薄膜トランジスタは、活性層である非晶質シリコン層を挟んで下層にゲート電極、上層にソース・ドレイン電極を配置した逆スタガード構造を採っている場合が多い。

【0004】 しかしながら、この逆スタガード構造は良好な薄膜トランジスタ特性を得やすい反面、下層にゲート電極を位置する構成であるため、ゲート電極に接続するゲート配線の抵抗を低くすることが困難である。その理由の一つとしてはゲート電極に接続するゲート配線の膜厚を厚くできないこと、他には低抵抗金属であるアルミニウム(Al)が酸に弱い、あるいは、熱でヒロックを起こすことなどから工程上に工夫を要することが挙げられる。そして、液晶表示装置への応用を考えると薄膜トランジスタの構成要素で最も低抵抗化の要求されるも

のはゲート電極へのゲート配線であり、液晶表示装置が大型化するほど深刻になる。

【0005】一方、生産性の面ではコストを下げるためにパターンニングのマスク数を減らしたいが、逆スタガード構造では6枚以上必要とする場合が多く、大幅なマスク数削減は困難である。

【0006】

【発明が解決しようとする課題】これに対して、活性層である非晶質シリコン層を挟んで上層にゲート電極、下層にソース電極およびドレイン電極を配置した順スタガード（正スタガード）構造が考えられる。

【0007】この順スタガード構造の薄膜トランジスタの構成を図3を参照して説明する。

【0008】図3に示すように、ガラス基板1上にソース電極2およびドレイン電極3を形成し、次いで、これらソース電極2およびドレイン電極3上にn型非晶質シリコン（ $n^+ a-Si$ ）層4を成膜して、これらソース電極2およびドレイン電極3を覆うような形状に加工する。さらに、非晶質シリコン（ $a-Si$ ）層5、ゲート絶縁膜6およびゲート電極7を順次積層して所定の形状に加工する。

【0009】そして、このようにゲート電極7を上配置するトップゲート型では、ゲート電極7の厚膜化とアルミニウム（Al）の使用が容易であり、また、究極的にはマスク数を2枚にまで減らすことも可能である。

【0010】しかしながら、従来はこの順スタガード構造も、ソース電極2およびドレイン電極3上に形成したn型非晶質シリコン層4と活性層である非晶質シリコン層5とのオーミック接触が困難であり、薄型トランジスタに十分なオン電流がとれない。

【0011】また、非晶質シリコン層5の形成前にPH₃のプラズマ処理を行なうなどのアイデアもあるが、連続して形成する非晶質シリコン層5にりん（P）の汚染による悪影響をおよぼす。

【0012】さらに、エッチストップ型の逆スタガード薄膜トランジスタでは、チャネル長を規定するチャネル保護膜をゲート電極をマスクとした裏面露光によってゲート電極に自己整合させることができるので、ゲート・ソース間、ゲート・ドレイン間の寄生容量を小さくできるが、図3に示した順スタガード薄膜トランジスタは、ソース電極およびドレイン電極とゲート電極との重なりが大きく、寄生容量が大きくなるなどの問題を有している。

【0013】本発明は、上記問題点を鑑みなされたもので、特性を向上させたトップゲート型の薄膜トランジスタの製造方法を提供することを目的としている。

【0014】

【課題を解決するための手段】請求項1記載の薄膜トランジスタの製造方法は、非晶質シリコン層およびゲート絶縁膜の積層膜を形成する工程と、この積層膜上に金属

のゲート電極を形成する工程と、このゲート電極をマスクとして非晶質シリコン層に不純物イオンをドーピングする工程と、前記ゲート電極をマスクとしたレーザー照射によって非晶質シリコン層を結晶化して低抵抗多結晶シリコンからなるソース領域およびドレイン領域を形成する工程とを備えるものである。

【0015】請求項2記載の薄膜トランジスタの製造方法は、絶縁性基板上にソース電極およびドレイン電極を形成する工程と、これらソース電極およびドレイン電極を覆うように非晶質シリコン層およびゲート絶縁膜の積層膜を形成する工程と、この積層膜上に金属のゲート電極を形成する工程と、このゲート電極と同一パターンに前記ゲート絶縁膜をエッチング加工する工程と、前記ゲート電極をマスクとした前記非晶質シリコン層に不純物イオンをドーピングする工程と、前記ゲート電極をマスクとしたレーザー照射によって非晶質シリコン層を結晶化して低抵抗多結晶シリコンからなるソース領域およびドレイン領域を形成する工程とを備え、前記ソース電極とドレイン電極との間隔は、ゲート電極の幅よりも広いものである。

【0016】請求項3記載の薄膜トランジスタの製造方法は、請求項2記載の薄膜トランジスタの製造方法において、ソース電極およびドレイン電極は、透明導電膜および金属膜の積層であるものである。

【0017】請求項4記載の薄膜トランジスタの製造方法は、請求項3記載の薄膜トランジスタの製造方法において、ソース電極およびドレイン電極を形成する金属膜は、W、Ti、Mo、Ta、Cr、Nb、Ag、または、これらを用いた合金であるものである。

【0018】請求項5記載の薄膜トランジスタの製造方法は、請求項2記載の薄膜トランジスタの製造方法において、不純物イオンのドーピングは、PH₃を主成分とする原料ガスを用いた非質量分離のイオンドーピングであるものである。

【0019】請求項6記載の薄膜トランジスタの製造方法は、請求項2記載の薄膜トランジスタの製造方法において、ゲート電極は、Al、Alを主成分とする合金、または、それらと他の金属との積層であるものである。

【0020】請求項7記載の薄膜トランジスタの製造方法は、絶縁性基板は透明で、この絶縁性基板上に絶縁性の光遮蔽膜を形成する工程と、前記光遮蔽膜をエッチング加工する工程と、この光遮蔽膜を覆うように全面に透明絶縁膜を形成する工程と、この透明絶縁膜を形成する工程の後に行なう請求項2記載の工程とを備えるものである。

【0021】請求項8記載の薄膜トランジスタの製造方法は、請求項7記載の薄膜トランジスタの製造方法において、光遮蔽膜は、抵抗率は1E8Ωcm以上、かつ、光学濃度は2.5以上であるものである。

【0022】請求項9記載の薄膜トランジスタの製造方

法は、請求項7記載の薄膜トランジスタの製造方法において、透明絶縁膜は、有機シラン、および、 O_2 または N_2O を原料ガスに用いてプラズマCVD法によって形成した酸化シリコン膜、もしくは、前記原料ガスに N_2 または NH_3 を添加してプラズマCVD法によって形成した酸化シリコン膜であるものである。

【0023】請求項10記載の薄膜トランジスタの製造方法は、請求項7記載の薄膜トランジスタの製造方法において、透明絶縁膜の最上層で非晶質シリコン層と接する部分は、プラズマCVD法によって形成した窒化シリ

コンであるものである。

【作用】請求項1記載の薄膜トランジスタの製造方法は、非晶質シリコン層およびゲート絶縁膜の上部に形成したゲート電極をマスクとして、非晶質シリコン層に不純物イオンをドーピングし、レーザー照射してドーピングされた部分を結晶化させることによって、ゲート電極に自己整合でソース領域およびドレイン領域を形成することができ、また、多結晶化によってドーピング元素が十分に活性化されるので従来のようにCVDで形成する

n型非晶質シリコンよりも低抵抗となり、ソース領域およびドレイン領域は十分なオーミック接触が得られ、さらに、チャネル部の非晶質シリコンはゲート電極でマスクされているので、ドーピングとレーザー照射の影響を受けず、特性の改善および寄生容量の低減を同時に実現する。

【0025】請求項2記載の薄膜トランジスタの製造方法は、非晶質シリコン層およびゲート絶縁膜の上部に形成したゲート電極をマスクとして、非晶質シリコン層に不純物イオンをドーピングし、レーザー照射してドーピングされた部分を結晶化させることによって、ゲート電極に自己整合でソース領域およびドレイン領域を形成することができ、また、多結晶化によってドーピング元素が十分に活性化されるので従来のようにCVDで形成するn型非晶質シリコンよりも低抵抗となり、ソース領域およびドレイン領域は十分なオーミック接触が得られ、さらに、チャネル部の非晶質シリコンはゲート電極でマスクされているので、ドーピングとレーザー照射の影響を受けず、特性の改善および寄生容量の低減を同時に実現するとともに、ソース電極およびドレイン電極の間隔がゲート電極の幅よりも広くなるように形成しておき、非晶質シリコンへのイオンドーピングとレーザー照射によって低抵抗多結晶シリコンがソース・ドレイン配線電極と接続され、チャネル長はゲート電極に自己整合で決定され、また、イオンドーピング前に予めゲート絶縁膜をゲート電極と同一パターンでエッチングし、非晶質シリコンの表面を露出させておくことによって、低い加速電圧でも非晶質シリコン層へのドーピングができ、たとえば液晶表示装置への応用も容易となる。

【0026】請求項3記載の薄膜トランジスタの製造方

法は、請求項2記載の薄膜トランジスタの製造方法において、ソース電極およびドレイン電極を透明導電膜と金属膜との積層膜とすることで、たとえば液晶表示電極の画素電極と一体形成し、後に画素電極上の金属膜を除去することで工程の簡略化が図れる。

【0027】請求項4記載の薄膜トランジスタの製造方法は、請求項3記載の薄膜トランジスタにおいて、ソース電極およびドレイン電極は、W、Ti、Mo、Ta、Cr、Nb、Ag、または、これらを用いた合金とするため、低抵抗で熱や酸に安定なソース電極およびドレイン電極を得る。

【0028】請求項5記載の薄膜トランジスタの製造方法は、請求項2記載の薄膜トランジスタの製造方法において、不純物イオンドーピングの方法を、PH₃を主成分とする原料ガスを用いた非質量分離のイオンドーピングとするため、従来用いた質量分離は磁場によってイオンビームを曲げる手法で面積化が困難であるが、分離を行なわないことによってたとえば大面積の液晶表示装置への応用が可能になる。

【0029】請求項6記載の薄膜トランジスタの製造方法は、請求項2記載の薄膜トランジスタの製造方法において、ゲート電極は、Al、Alを主成分とする合金、または、それらと他の金属との積層とし、また、トップゲート型なのでAlの使用は容易であり、Alを使用することでゲート電極の低抵抗化が図れ、合金や積層化でAlのヒロック防止を有効に図れる。

【0030】請求項7記載の薄膜トランジスタの製造方法は、絶縁性の光遮蔽膜と、この光遮蔽膜を覆う透明絶縁膜上に製造することで、光によるオフ電流増加を防ぎ、従来は金属薄膜を光遮蔽膜とし、絶縁膜で覆って、この絶縁膜上に順スタガード型を形成する考えはあったが、光遮蔽膜を介して電極間の容量カップリングが起これてしまい、さらに、絶縁膜にピンホールがあればソース電極およびドレイン電極間のショートになってしまうが、光遮蔽膜を絶縁体で形成することにより、ピンホールがあってもショートを防止する。

【0031】請求項8記載の薄膜トランジスタの製造方法は、請求項7記載の薄膜トランジスタの製造方法において、光遮蔽膜の膜質を、抵抗率が $1E8\Omega cm$ 以上、光学濃度が2.5以上としたため、容量カップリングを無視できるレベルにする。

【0032】請求項9記載の薄膜トランジスタの製造方法は、請求項7記載の薄膜トランジスタの製造方法において、有機シランと O_2 、 O_3 または N_2O を原料ガスに用いてプラズマCVD法によって形成した酸化シリコン膜とし、光遮蔽膜の端部の段差を十分に被覆するには、たとえばTEOS (Tetraethylorthosilicate; $Si[OC_2H_5]_4$)などの有機シランを用いることが有効であり、酸素源として N_2O を用いた場合は膜中に微量のNが混入した酸化シリコン膜となり、さらに、原料

ガスに N_2 または NH_3 を添加すれば、酸化シリコン膜となるため、 N の添加はステップカバレッジ性を下げる反面、 Na などの不純物イオンをブロックする効果が高まる。

【0033】請求項10記載の薄膜トランジスタの製造方法は、請求項7記載の薄膜トランジスタの製造方法において、最上層であって非晶質シリコンと接する部分を、プラズマCVD法によって形成した酸化シリコンとし、その上に形成する非晶質シリコンとの間で形成する界面が良質のものが得られ、優れた特性が得られる。

【0034】

【実施例】以下、本発明の一実施例のアクティブマトリクス型液晶表示素子(AM-LCD)に適用した薄膜トランジスタ(TFT)を図面を参照して説明する。

【0035】図1は薄膜トランジスタを示す断面図で、たとえばガラス(コーニング社製品番1737)からなる絶縁性基板11の一主面上にITO(Indium Tin Oxide)およびモリブデン・タングステン(Mo-W)合金を積層成膜し、フォトリソグラフィによってエッチング加工して、ITOの画素電極12を形成するとともに、この画素電極12と一体化したソース電極13およびドレイン電極14を形成する。

【0036】次に、これらソース電極13およびドレイン電極14を覆うように、半導体層として膜厚 $0.1\mu m$ の非晶質シリコン(a-Si)層15、膜厚 $0.4\mu m$ の酸化シリコン膜のゲート絶縁膜16を順次形成する。

【0037】続いて、アルミニウム(Al)およびモリブデン(Mo)を積層し、フォトリソグラフィによるエッチング加工でゲート電極17を形成する。なお、このゲート電極17にアルミニウムを使用することで低抵抗化が図れ、大型の液晶表示装置の製造が可能となる。引き続き、このゲート電極17と同一パターンで酸化シリコン膜をエッチングし、ゲート電極17のない部分の非晶質シリコン層15を露出させる。

【0038】そして、レジスト剥離後、ゲート電極17をマスクとして、非晶質シリコン層15にりん(P)をイオンドーピングする。このイオンドーピングは、 H_2 で5%に希釈した PH_3 ガスをプラズマ分解し、発生したイオン種を質量分離を行わずに、一括して電界で加速し、非晶質シリコン層中に打ち込む。なお、加速電圧は $15kV$ 程度が適当である。また、質量分離を行わないと大面積の基板での処理が容易になる。次に、上部からXeClエキシマレーザを照射する。なお、このレーザには、他にArF、KrF、XeFなどのエキシマレーザの他、YAGレーザ、Arレーザなどを使用してもよい。さらに、ゲート電極17がマスクとなっているので、りんがドーピングされた部分の非晶質シリコン層のみが結晶化し、結晶化とともにりんが活性化され低抵抗のN型多結晶シリコンとなる。そして、このN型多結晶シリコンをフォトリソグラフィによってエッチング加工

して、ソース領域18およびドレイン領域19が形成される。

【0039】最後に、全体をたとえばシリコン酸化膜などの保護膜21で覆い、フォトリソグラフィによって図示しない周辺電極部と画素電極12上の保護膜を除去する。さらに、この時点ではソース電極13およびドレイン電極14と同様に、画素電極12は透明のITO上に不透明のMo-Wが乗っているため、Mo-Wをエッチング除去する。なお、ソース電極13およびドレイン電極14にはMoを積層したため、保護膜21の成膜などの熱工程でAlにヒロックが発生するのを防止できる。

【0040】こうして、ソース電極13およびドレイン電極14、画素電極12、非晶質シリコン層15、ゲート絶縁膜16、ゲート電極17、さらに、保護膜21から構成される薄膜トランジスタを有する所定の能動素子基板が得られる。なお、この能動素子基板を形成するためのフォトリソグラフィのマスク数は全部で4枚である。

【0041】そして、この能動素子基板に対向して対向基板を配設し、これら能動素子基板および対向基板間に液晶を挟持して、液晶表示装置を形成する。

【0042】次に、他の実施例を図2を参照して説明する。

【0043】図2は他の実施例の薄膜トランジスタを示す断面図で、図2において、たとえばガラス(コーニング社製品番1737)からなる絶縁性基板11の一主面上に絶縁性の光遮蔽膜31を形成する。この光遮蔽膜31には、たとえば酸化アルミニウム中にビスマスの微粒子が分散したサーメット膜を用いる。このサーメット膜は、ビスマスと酸化アルミニウムをコスパッタすることにより得られ、膜厚 5000Å オングストロームで、抵抗率 $1E9\Omega cm$ 、光学濃度3の膜が得られる。次に、フォトリソグラフィによってエッチング加工して光遮蔽膜31を形成する。また、このエッチングにはCl系のガス、たとえばHClを用いたプラズマエッチングが適している。

【0044】そして、この光遮蔽膜31を覆うように透明絶縁膜32を形成する。この透明絶縁膜32はステップカバレッジの優れた膜であることが望ましく、たとえば、TEOS(Tetraethylorthosilicate; $Si[OC_2H_5]_4$)と O_2 の混合ガスをを用いたプラズマCVDで形成する酸化シリコン膜を用いる。この混合ガス中に N_2 ガスや NH_3 ガスを添加すると酸化シリコン膜となり、ステップカバレッジはやや劣るが、 Na などの不純物イオンのブロックや、耐水性に優れた膜が得られる。実際には、これに酸化膜あるいは酸化シリコン膜の上に、さらに酸化シリコン膜をプラズマCVDで積層するとよく、これはチャネル部の非晶質シリコン層15との良質な界面を得るためである。こうしたプロセスを行なった後は、図1で説明した工程を行なう。

【0045】こうして、図2に示すように、光遮蔽膜31、透明絶縁膜32、ソース電極13およびドレイン電極1

4、画素電極12、非晶質シリコン層15、ゲート絶縁膜16、ゲート電極17、さらに、保護膜21から構成される薄膜トランジスタを有する所定の能動素子基板が得られ、液晶表示素子も得られる。なお、フォトリソグラフィのマスク数は全部が5枚である。

【0046】なお、上記いずれの実施例もアクティブマトリクス型液晶表示素子に限らずa-Si密着センサなどにも適用することが可能である。

【0047】また、絶縁性基板1、11は基板自体が絶縁性を有さなくとも、基板に絶縁膜を施して形成してもよい。

【0048】さらに、ソース電極13およびドレイン電極14を形成する金属膜は、モリブデン・タングステン(Mo-W)合金に限らず、W、Ti、Mo、Ta、Cr、Nb、Agのいずれであるか、もしくはそれらを用いた合金とすれば、低抵抗で熱や酸に安定なソース・ドレイン配線が得られる。

【0049】そして、上述のように、非晶質シリコン層15に不純物イオンをドーピングし、レーザ照射してドーピングされた部分を結晶化させることによって自己整合でチャネル長を決定できるとともに、ソース領域18およびドレイン領域19を形成することができる。また、多結晶化によってドーピング元素が十分に活性化されるので従来のCVDで形成するn型非晶質シリコン層よりも低抵抗となり、ソース領域18およびドレイン領域19では十分なオーミック接触が得られる。さらに、チャネル部の非晶質シリコン層15はゲート電極17でマスクされているので、ドーピングとレーザ照射の影響を受けず、薄膜トランジスタ特性の改善と、寄生容量の低減を同時に実現できる。そして、イオンドーピング前に予めゲート絶縁膜16をゲート電極17と同一パターンでエッチングし、ソース領域18およびドレイン領域19となる非晶質シリコン層の部分の表面を露出させておくことによって、低い加速電圧でも非晶質シリコン層へのドーピングができるようになる。

【0050】また、ソース電極13およびドレイン電極14の間隔がゲート電極17の幅よりも広くなるように形成することにより、液晶表示装置に好適となる。

【0051】さらに、ソース電極13およびドレイン電極14の材料をITOとモリブデン・タングステン(Mo-W)合金などの金属膜との積層膜とすることで、液晶表示装置の画素電極12と一体形成でき、後に画素電極12上の金属膜を除去することで工程の簡略化を図れる。

【0052】またさらに、不純物イオンドーピングの方法を、PH₃を主成分とする原料ガスを用いた非質量分離のイオンドーピングとすることにより、質量分離の磁場によってイオンビームを曲げる手法に比べ大面積化が容易になる。

【0053】また、トップゲート型なのでゲート電極17へのAlの使用は容易であり、Alを使用することで低

抵抗化を図れる。

【0054】さらに、絶縁性の光遮蔽膜31上に薄膜トランジスタを製造することで、光によるオフ電流増加を防いでいる。また、光遮蔽膜31を絶縁体で形成することにより、ゲート絶縁膜16にピンホールが生じてもソース領域18およびドレイン領域19間のショートを防止できる。

【0055】また、光遮蔽膜31の膜質を、抵抗率が1E8Ωcm以上、光学濃度が2.5以上としたので、容量カップリングは無視できるレベルになる。

【0056】さらに、TEOSなどの有機シランを用いることにより光遮蔽膜31の端部の段差を十分に被覆することができる。

【0057】

【発明の効果】請求項1記載の薄膜トランジスタの製造方法によれば、ゲート電極に自己整合でソース領域およびドレイン領域を形成することができ、また、多結晶化によってドーピング元素が十分に活性化されるので、従来のようにCVDで形成するn型非晶質シリコンよりも低抵抗となり、ソース領域およびドレイン領域は十分なオーミック接触が得られ、さらに、非晶質シリコン層はゲート電極でマスクされているので、ドーピングとレーザ照射の影響を受けず、特性の改善および寄生容量の低減を同時に実現できる。

【0058】請求項2記載の薄膜トランジスタの製造方法によれば、ゲート電極に自己整合でソース領域およびドレイン領域を形成することができ、また、多結晶化によってドーピング元素が十分に活性化されるので、従来のようにCVDで形成するn型非晶質シリコンよりも低抵抗となり、ソース領域およびドレイン領域は十分なオーミック接触が得られ、さらに、チャネル部の非晶質シリコンはゲート電極でマスクされているので、ドーピングとレーザ照射の影響を受けず、特性の改善および寄生容量の低減を同時に実現するとともに、ソース電極およびドレイン電極の間隔がゲート電極の幅よりも広くなるように形成しておき、低い加速電圧でも非晶質シリコン層へのドーピングができ、たとえば液晶表示装置への応用も容易にできる。

【0059】請求項3記載の薄膜トランジスタの製造方法によれば、請求項2記載の薄膜トランジスタの製造方法に加え、ソース電極およびドレイン電極を透明導電膜と金属膜との積層膜とすることで、たとえば液晶表示電極の画素電極と一体形成し、後に画素電極上の金属膜を除去することで工程の簡略化を図ることができる。

【0060】請求項4記載の薄膜トランジスタの製造方法によれば、請求項3記載の薄膜トランジスタに加え、低抵抗で熱や酸に安定なソース電極およびドレイン電極を得ることができる。

【0061】請求項5記載の薄膜トランジスタの製造方法によれば、請求項2記載の薄膜トランジスタの製造方法に加え、不純物イオンドーピングの方法を、PH₃を

11

主成分とする原料ガスを用いた非質量分離のイオンドーピングとするため、たとえば大面積の液晶表示装置への応用が可能にできる。

【0062】請求項6記載の薄膜トランジスタの製造方法によれば、請求項2記載の薄膜トランジスタの製造方法に加え、トップゲート型なのでA1の使用は容易であり、A1を使用することでゲート電極の低抵抗化が図れ、合金や積層化でA1のヒロック防止を有効に図ることができる。

【0063】請求項7記載の薄膜トランジスタの製造方法によれば、絶縁性の光遮蔽膜と、この光遮蔽膜を覆う透明絶縁膜上に製造することで、光によるオフ電流増加を防ぐことができる。

【0064】請求項8記載の薄膜トランジスタの製造方法によれば、請求項7記載の薄膜トランジスタの製造方法に加え、容量カップリングを無視できるレベルにできる。

【0065】請求項9記載の薄膜トランジスタの製造方法によれば、請求項7記載の薄膜トランジスタの製造方法に加え、Nの添加はステップカバレッジ性を下げる反面、Naなどの不純物イオンをブロックする効果を高めることができる。

【0066】請求項10記載の薄膜トランジスタの製造

12

方法によれば、請求項7記載の薄膜トランジスタの製造方法に加え、最上層であって非晶質シリコンと接する部分を、プラズマCVD法によって形成した窒化シリコンとし、その上に形成する非晶質シリコンとの間で形成する界面が良質のものが得られ、優れた特性を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施例のトップゲート型の薄膜トランジスタの構造を示す断面図である。

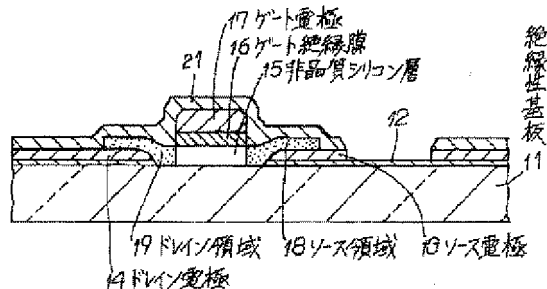
10 【図2】他の実施例のトップゲート型の薄膜トランジスタの構造を示す断面図である。

【図3】従来例の順スタガード型の薄型トランジスタの構造を示す断面図である。

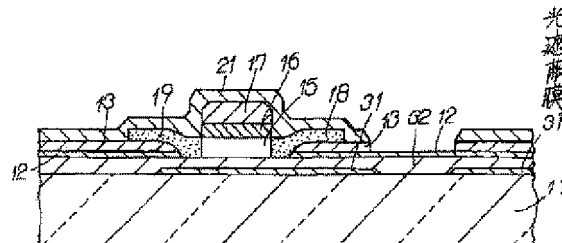
【符号の説明】

- 11 絶縁性基板
- 13 ソース電極
- 14 ドレイン電極
- 15 非晶質シリコン層
- 16 ゲート絶縁膜
- 17 ゲート電極
- 20 18 ソース領域
- 19 ドレイン領域
- 31 光遮蔽膜

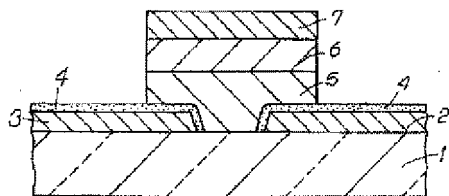
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 堂城 政幸

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内

(72)発明者 渋谷 誠

神奈川県横浜市磯子区新杉田町8 株式会
社東芝横浜事業所内